

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

2004年 2月24日 10時54分  
JPN47 LHM40 100% (U)

ITOH INTERNATIONAL PATENT OFFICE  
(1) / (1)

NO. 1794 P. 3  
NO. 5455 P. 2

\*\* Result [P ] \*\* Format(P801) 2004 02.24

1/ 1

Application no/date: 1984-274831 [1984/12/28]  
Date of request for examination: [1990/ 3/23]  
Accelerated examination ( )  
Public disclosure no/date: 1986-156187 ~~Translato~~ [1986/ 7/15]  
Examined publication no/date (old law): 1994- 5478 ~~Translato~~ [1994/ 1/19]  
Registration no/date: 2122713 [1996/12/20]  
Examined publication date (present law): [1998/ 3/20]

PCT application no:  
PCT publication no/date: [ ]

Applicant: CANON INC

Inventor: INOUE YUJI, OSADA YOSHIYUKI, KOMATA TOMOJI, YAMASHITA NOBUITSU

IPC: G09G 1/34 G02F 1/133 E50

F1: E01L 29/78 G02F 1/136 S01L 27/12 S  
G09G 1/34 G09F 9/30 S32 G02F 1/138 S05 E01L 29/78 S11A  
G02F 1/133 S50 G09F 9/30 H01L 27/12 E01L 29/70 S12Z  
H01L 37/12 G G02F 1/1365 G02F 1/1363

F-Term: SC006EB05, BC04, EB04, EB05, SF040AA51, BB12, SC094AA15, AA42, AA44, AA45, BA03, BA43, CA19, CA21, DA09, DB10, HA08, 5P040EB12, 2H092AA07, AA10, AA19, AA28, AA55, CA24, C A26, DA07, EA12, 2H093NA16, NC09, NC12, NC13, NC22, NC23, NC24, NC26, NC34, ND42, ND49, ND 53, ND54, NE07, SC006AA22, AF41, AF43, AF71, AF81, BA12, BB16, SC12, BC13, BC16, EC22, BC2 3, BF03, BF04, BF11, BF25, BF31, BF37, FA15, FA21, FA43, FA51, FA52

Expanded classification: 649, 242, 472

Fixed keyword: 2003, E01L, S09F

Citation:

[19,1992. 5.29.04] (04,JP,Unexamined Patent Publication,1983203486)  
[19,1993. 2.25. ] (04,JP,Unexamined Patent Publication,1982201295)  
[07,1994. 4.11.04] (04,JP,Unexamined Patent Publication,1982100467)  
[07,1994. 4.17.04] (04,Foreign Book,IEEE CONFERENCE RECORD OF 1972 CONFERENCE ON DISPLAY DEVICES-1972@M10D11-12@P64-66 )  
[07,1994. 4.17.04] (04,Foreign Magazine/Journal,IEEE TRANSACTIONS ON ELECTRONIC DEVICES-1977@M7@VOL.ED-24@N7@P896-902 )  
[07,1994. 4.18.05] (05,JP,Unexamined Patent Publication,1984083193)

Title of invention: ACTIVE MATRIX CIRCUIT BOARD

Abstract: Picture signal line is divided every block, bonding number with an outside driving circuit of a signal line is reduced by it is switching element, and a signal line every each block is commonized, and controlling picture signal.

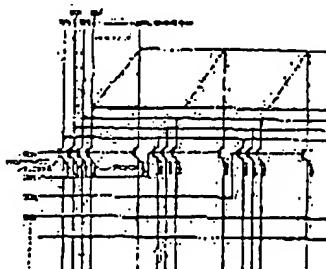
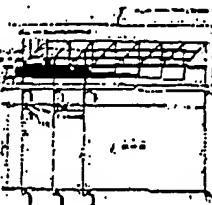
n  $\times$  m Active matrix circuit S is established on basal plate same as N  $\times$  M Active matrix type liquid crystal display.

As for circuit S, an argusuitsuchingutoracjisuka (A.S. transistor) for picture signal 6, capacitance 7 for picture signal sample hold, a latch to A.S. transistor 6 comprising switching busines signal line g (1)-g (n) of done picture signal line S (1)-S (m). A.S. transistor 6, it is done for the purpose of it being in the matrix layout which commonized a signal line of M book in m book

A.

S.

Transistor 6 holds the on next picture signal to capacitance 7 between  $\frac{1}{2} t$  every each timing, if 1 of picture element scanning beam of display 1 becomes on, picture signal is transmitted to picture element.



⑨日本国特許庁 (JP)

⑩特許出願公開

## ⑪公開特許公報 (A) 昭61-156187

⑫Int.Cl. <sup>4</sup>	識別記号	序内整理番号	⑬公開 昭和61年(1986)7月15日
G 09 F 9/30		6615-5C	
G 02 F 1/133	118	D-8205-2H	
G 09 G 3/36		7436-5C	
// H 01 L 27/12		7514-5F	
29/78		8422-5F	審査請求 未請求 発明の数 1 (全6頁)

⑭発明の名称 アクティブマトリクス回路基板

⑮特願 昭59-274831

⑯出願 昭59(1984)12月28日

⑰発明者 井上 裕司	東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑰発明者 長田 芳季	東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑰発明者 小俣 智司	東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑰発明者 山下 伸逸	東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑰出願人 キヤノン株式会社	東京都大田区下丸子3丁目30番2号
⑰代理人 井理士 登田 喜雄	

## 明細書

## 1. 発明の名称

アクティブマトリクス回路基板

## 2. 特許請求の範囲

1) 個々の画素を、プロック毎に分割し、各プロック毎の信号線を、スイッチング素子で共通化したことを特徴とするアクティブマトリクス回路基板。

2) 前記各プロック毎のスイッチング素子で信号をサンプルホールドする特許請求の範囲第1項記述のアクティブマトリクス回路基板。

3) 上記スイッチング素子をアクティブマトリクス回路基板と直角方向のスイッチング素子とを同一基板上に一体形成することを特徴とする特許請求の範囲第1項記述のアクティブマトリクス回路基板。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明はアクティブマトリクス回路基板の信号

線の構成に関するものである。

【従来の技術】及び【発明が解決しようとする問題】

アクティブマトリクス回路基板の代表的なものとして薄膜トランジスタ(以下TFTと略す)をアナログスイッチング素子として用いた液晶表示装置が考案される。この液晶表示装置は近年、高画質化、大面積化が進み、その信号線は2000本近くにものぼっており、外部回路との結線の問題と、駆動用ICの过大という問題が深刻化し、歩留り低下やコスト高を招いている。

第7図は従来のアクティブマトリクス型液晶表示装置の一例を示したものである。図中1は、表示部で、AN1は、表示部用TFTスイッチング素子、2は、信号線駆動回路、3は走査線駆動回路である。4は、表示部1と信号線駆動回路2との接続部である。

また、第8図は、表示部1の信号線S(1)~S(X)に与えるべく信号線駆動回路2でサンプルホールドされた映像信号と、走査線C(1)~C(X)信号との

特開昭61-156187(2)

タイミング図を表わすものである。左歪基板×右歪基板を  $N \times M$  のマトリクスで構成した場合、板幅  $d$  は  $M$  個所あることになる。左側に因しては、たとえば左歪基板  $N = 180$  本、アスペクト比 3:4、歪基板サイズ対角 7 インチの液晶フルカラーテレビを考えた場合、信号枚数  $M = 1920$ 、歪基板の横の長さ  $l$  は、

$$l = 7 \times 25.4 \text{ mm} \times \frac{4}{5} \times 1420 \text{ mm}$$

よって信号線密度  $d$  は

$$d = \frac{M}{l} = \frac{1920}{1420} = 13.5 \text{ 本/mm}$$

$[M$  は、赤(B)、緑(G)、青(B) 各色用信号線の和で R、G、B で一画面とすれば歪基板の歪基板は  $N \times M / 3$  マトリクスである。]

となり 1 mm 当り 13.5 本の歪基板となる。

從来、この高歪基板多色の信号線を外部の信号端子歪基板回路 2 と接続するために実装の信号性、歩留りの低下、又、外線駆動用 IC の増大に伴うコスト高が問題となつた。また、これら IC を搭載するために基板サイズが大きくなり、表示部に比べ外線回路部が大きいというアンバランスも問題となつた。

左歪基板にスイッチング素子を設けた  $N \times M$  アクティブラリクス歪基板表示装置と同一基板上に基板で囲って示した  $N \times M$  アクティブラリクス回路 5 を設けた全体図を表わす。第 2 図は第 1 図の  $N \times M$  アクティブラリクス回路 5 の内部を表わし、図中 6 は、映像信号用アナログスイッチングトランジスタ (以下 A.S.トランジスタと略す)、7 は、映像信号サンプルホールド用コンデンサーであり、 $s(1) \sim s(n)$  は A.S.トランジスタ 6 へのリッチされた映像信号線、 $t(1) \sim t(n)$  は、A.S.トランジスタ 6 のスイッチング用信号線を示す。今、第 7 図における  $M$  本の信号線を  $M$  本に共通化したマトリクス配線となる様にすると第 2 図の  $s(1) \sim s(n)$  の信号線と  $t(1) \sim t(n)$  の信号線と  $N \times M$  個の A.S.トランジスタ 6 及びコンデンサー 7 から成るマトリクス回路とすることができます。ただし  $n$  は 1 以上の整数で、 $n \geq M$  である。この時の映像信号と、第 2 図の A.S.トランジスタ 6 のトランジスタ及び、第 1 図の表示部 1 のトランジスタとのタイミングは第 3 図の映像信号リターン

路となっていた。

本発明は上記從来技術の問題点に気付かされたもので、アクティブラリクス回路歪基板の信号線の外部駆動回路との接続性を複らし、歪基板の簡素化、歩留りの向上、映像コストの低減を図るとともに、外部信号線駆動用 IC の個数の低減、前記外部駆動回路の小規模、コンパクト化、それに伴うコストの低減を図ることを目的とするものである。

#### 【問題点を解決するための手段】及び【作用】

本発明は、映像信号線をブロック毎に任意の本数に分割し、各ブロック毎の信号線をスイッチング素子で共通化して映像信号を調調するものである。すなわち、 $M$  本の映像信号線を、 $M$  本づつの共通化した映像信号線から成る  $M$  ブロックから成るマトリクス回路で置き換えたものである。このため從来に比べ信号線の接続本数は著しく減少する。

#### 【実施例】

第 1 図は本発明の実施例であり、第 7 図に示し

す回路を用いると第 4 図の關係となる。さらに詳しく見てみると、まず第 3 図において、入力されたアナログ映像信号  $s$  が  $s(1)$  のタイミングで出力されると、シフトレジスタ 8 からのパルスでトランジスタ 10 でサンプリングされ、コンデンサー 11 でホールドされ、さらにソースフォローパッファ 12 でバッファリングされる。この I/O 変換された映像信号がトランジスタ 13 で  $s(1)$  の同一タイミングでラッピングされて第 1 図あるいは第 2 図の  $s(1) \sim s(n)$  へ入力される。このラッピングタイミング等を各々  $t_1, t_2, \dots$  とすると第 4 図で示す映像信号と  $s(1) \sim s(n)$  の関係となる。第 2 図の A.S.トランジスタ 6 のトランジスタは  $t_1, t_2, \dots, t_n$  の各タイミングごとに  $s(1) \sim s(n) = t_1, t_2, \dots, t_n$  の回路となり各々の第 3 図より出力された映像信号をコンデンサー 7 に保持する。そして  $s(n)$  のタイミングでホールドされた映像信号の水平保持時間、と次のラッピング時  $t_{n+1}$  の間の  $t_{n+1}$  の期間、第 1 図の表示部 1 のトランジスタスイッチング信号線、すなわち歪基板

## 特開昭61-156187 (3)

後の 1 本が 0% となり西葉へ A/D 変換された映像信号が伝送される。

以上のことを走査線数くりかえすことで一画面分の映像データが各西葉へ伝送され一画面表示することとなる。

今、 $N = 180, M = 1820$  にフレーム周波数 60Hz の NTSC-TV 信号を  $m = 240$  本  $\times 8$  で表示しようとするとき水平走査時間は  $63.5 \mu\text{sec}$  水平解像時間は  $11 \mu\text{sec}$  であるから、 $\Delta t \leq (63.5-11) / 8 = 6.56 \mu\text{sec}$   $LG \leq (11+6.56) = 17.56 \mu\text{sec}$  となる。今  $e(i)$  が 0% となるタイミングと  $e(i+1)$  (1番目の走査線の走査) が 0% となるタイミングを同時にすることは実際上第 2 図より出力された (サンプルホールドされた) 映像信号を、第 2 図の A.S. トランジスタ 6 のトランジスタを介して直接西葉へ伝達することになるので問題はない。こうすることで西葉用スイッチングトランジスタの先端時間を見くとができるので負荷を軽減することができ、コンパクトなトランジスタで済ますことができる。

通用スイッチングトランジスタと同一構成であり、データ保持用コンデンサーも既知の技術でトランジスタ製造プロセス内で設けることができ、あるいは配線容量を用いた場合には不妥となるので、同一基板上に設けられることは特に詳細に述べることもなく明らかである。

又、本発明は、前述の顯示部のスイッチングトランジスタを設けたアクティブマトリクス液晶素子に代えて、米国特許第 4387921 号公報などに開示されたバッファマトリクス型複数電性液晶素子を用いることができる。この複数電性液晶素子の信号線を、前述の方法で TFT によりブロック化し、共通化することができる。この際、複数電性液晶としては、カイラルスマクティック液相、特にその C 相、H 相、I 相、J 相、K 相、G 相、F 相が適している。

## 【発明の効果】

以上実施例から明らかなように、従来、1820本の信号線を 240 本ないしは 240 本とすることができる。信号線密度を 13.5 本 /  $\mu\text{m}$  から 1.69 本 /  $\mu\text{m}$

この時、外部映像信号処理回路、第 3 図、と第 1 図あるいは第 2 図の  $S(1) \sim S(n)$  との接続本数は  $m = 240$  本であるので、信号線密度  $d$  は

$$d = \frac{m}{\mu} = \frac{240}{142} = 1.69 \text{ 本 / } \mu\text{m}$$

とすることが可能となる。第 5 図は、第 1 図又は第 2 図のスイッチング用使用線  $S(1) \sim S(n)$  を低密度化した場合の一例を示す。また、第 6 図は  $S(1) \sim S(n)$  と  $e(1) \sim e(n)$  の別の低密度配線例である。この場合は信号線密度は、

$$d = \frac{m+1}{\mu} = 1.75 \text{ 本 / } \mu\text{m}$$

とやや密度は上がるもののわずかであり、接続本数は既往例にほとんど影響しないものに対し、第 3 図の外部信号処理部の 12 のバッファを同一性能にそろえることができるという利点がある。つまり第 5 図の  $e(1) \sim e(n)$  の  $S(1) \sim S(n)$  のマトリクス回路基板上での上下交差部からなる配線部は同一となるため第 3 図の回路からのデータ変換を一様に抑ええることができるため西葉のバラツキを抑えやすく設計できる。

なお、分類用スイッチングトランジスタは、西

(87.5% 程) ないしは 1.75 本 /  $\mu\text{m}$  (87.0% 程) と大きく抑えることができる。したがって、実装の簡素化、歩留りの向上、外部信号処理用 IC 個数の低減等、コスト的に有利となるばかりでなく、外部信号回路の小規模化、コンパクト化、低コスト化も可能となる。

なお、説明ではアナログの映像信号を例としたが、本発明は他の信号、例えばデジタル信号でも同じく実定されるものではない。

## 4. 図面の簡単な説明

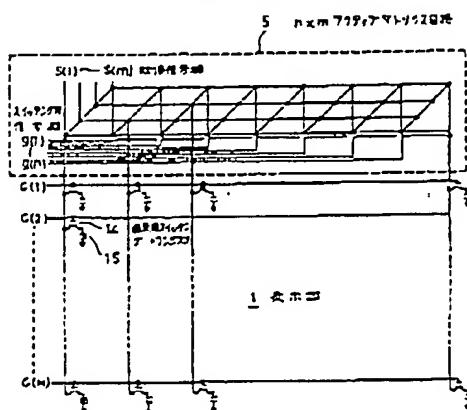
第 1 図は、本発明のアクティブマトリクス ( $N \times M$  西葉) 液晶表示装置の一実施例を示す説明図、第 2 図は、本発明の  $N \times M$  マトリクス配線の M 横のアクティブマトリクス配線の部分拡大図、第 3 図は、本発明による 240 本の信号線への映像信号出力回路図、第 4 図は、第 1 図あるいは第 2 図へ第 3 の回路を用いた場合の映像信号と信号線と本発明で M 個配置されたスイッチング素子へのスイッチング信号と信号走査信号とのタイミング図、第 5 図は本発明を用いた低密度信号配線

特開昭61-156187 (4)

図、第6図は、本発明の別の実施例の低歪成歪号配線図、第7図はN×Mアティブマトリクス液晶表示装置第8図は信号線と走査線のタイミング図である。

1…表示部、2…信号線駆動回路、  
 3…走査線駆動回路、4…接続部、  
 5…N×Mアティブマトリクス回路、  
 6…A.S.トランジスタ、7…コンデンサー、  
 8…ソフトレジスタ、9…アナログ映像信号、  
 10,13…トランジスタ、11…コンデンサ、  
 12…ソースフォローバッファ、  
 14…画面用スイッチングトランジスタ、  
 15…画面分割に相当する液晶層の電気的等価回路、  
 S(1)～S(n)…信号線、C(1)～C(n)…走査線、  
 S(1)～S(n)…映像信号線、  
 g(1)～g(s)…スイッチング用信号線。

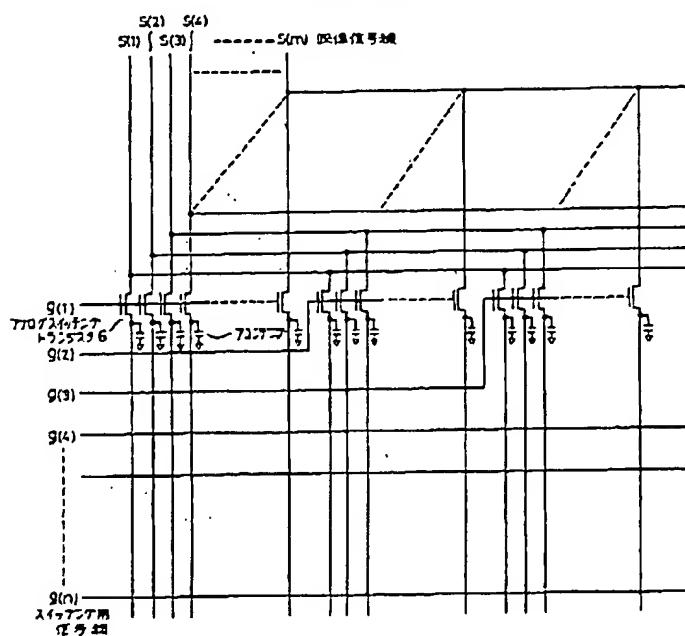
第1図



出願人 キヤノン株式会社

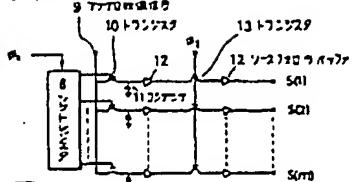
代理人 穂 田 吾 雄

第2図

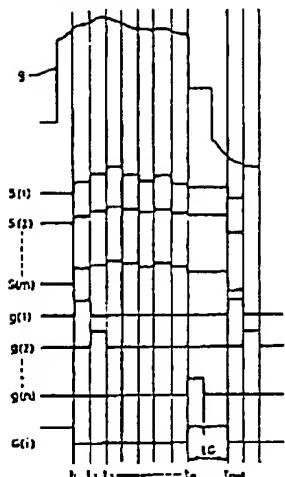


特開昭61-156187(5)

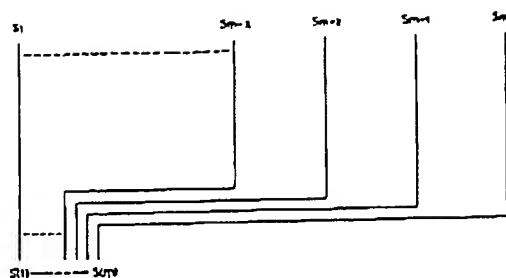
第3図



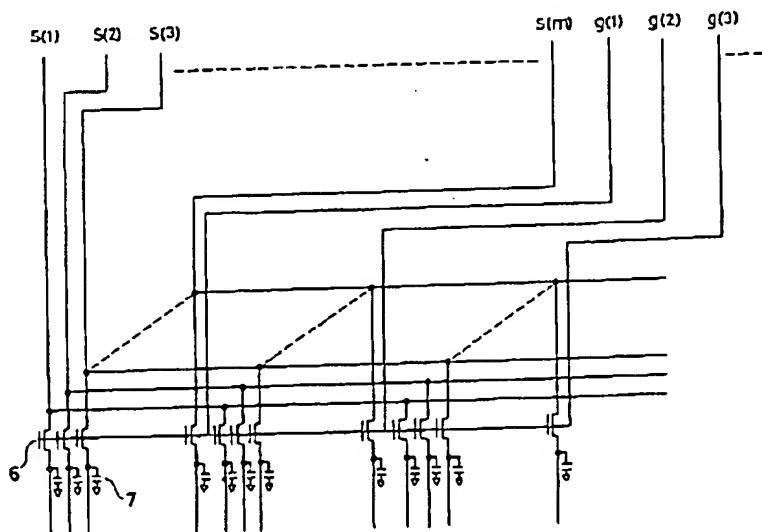
第4図



第5図

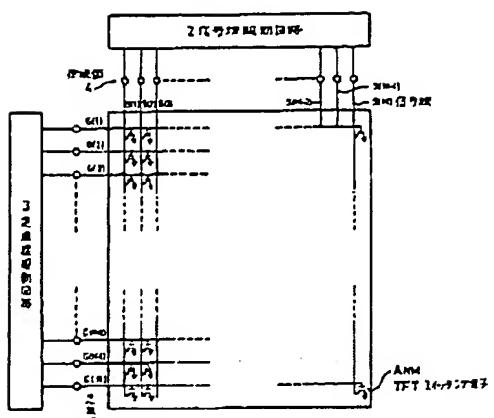


第6図



特開昭61-156187 (6)

第7図



第8図

